

⑩ 日本国特許庁(JP)

⑪ 実用新案出願公開

⑫ 公開実用新案公報(U) 平2-55752

⑬ Int. Cl.⁹

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)4月23日

H 04 L 9/18
H 04 J 3/06
H 04 L 7/00

Z 6914-5K
C 6914-5K
6945-5K

H 04 L 9/02

B

審査請求 未請求 請求項の数 1 (全 頁)

⑮ 考案の名称 スクランブル方式

⑯ 実 願 昭63-135025

⑰ 出 願 昭63(1988)10月18日

⑱ 考 案 者 小 林 博 和 東京都渋谷区渋谷2丁目17番5号 株式会社ケンウッド内
⑲ 出 願 人 株式会社ケンウッド 東京都渋谷区渋谷2丁目17番5号
⑳ 代 理 人 弁理士 砂子 信夫 外1名



明 細 書

1. 考案の名称

スクランブル方式

2. 実用新案登録請求の範囲

データ通信のためのスクランブル方式において、
PNデータを発生するPN信号発生器と、PN信号発生器から出力されるPNデータを受けて位相をずらせた複数種類のPNデータを実質的に生成する生成手段と、生成手段により実質的に生成された複数種類のPNデータ中からデータとスクランブルするためのPNデータを選択する選択コードをランダムに発生し、かつランダム変化周期で発生する選択コード発生手段とを備え、送信時に選択コードを送出すると共に、データと選択コードにともなって選択されたPNデータとをスクランブルして送出し、受信機側で受信した選択コードに基づきランダムな周期で変化した送信機側におけるPNデータと同一のPNデータを発生させ、このPNデータで受信データをデスクランブルすることを特徴とするスクランブル方式。

3. 考案の詳細な説明

(産業上の利用分野)

この考案は秘匿性のあるデータ通信または課金方式を実施する放送、たとえばPCM音声放送等に利用されるスクランブル方式に関し、特にPCM符号化したデータの解読を困難にするのに好適なスクランブル方式に関する。

(従来技術)

従来のスクランブル方式はPN信号発生器からのPNデータが固定であった。さらに解読の困難度を増すために、PN信号発生器の生成多項式を送信中に一定時間単位で周期的に数種類にわたって変更することが行なわれている。

(考案が解決しようとする課題)

上記の如き従来のスクランブル方式によるときは、PN信号発生器の生成多項式が解明されてしまったときはデータが解読されてしまうという問題点があった。さらに生成多項式の変更周期が解明されてしまった場合においてもデータが解読されてしまうという問題点があった。

この考案はPN信号発生器からの出力データをランダム周期で変更することにより上記の問題点を解消し、秘匿性の高いスクランブル方式を提供することを目的とする。

(課題を解決するための手段)

この考案のスクランブル方式は、データ通信のためのスクランブル方式において、PNデータを発生するPN信号発生器と、PN信号発生器から出力されるPNデータを受けて位相をずらせた複数種類のPNデータを実質的に生成する生成手段と、生成手段により実質的に生成された複数種類のPNデータ中からデータとスクランブルするためのPNデータを選択する選択コードをランダムに発生し、かつランダム変化周期で発生する選択コード発生手段とを備え、送信時に選択コードを送出すると共に、データと選択コードにともなって選択されたPNデータとをスクランブルして送出し、受信機側で受信した選択コードに基づきランダムな周期で変化した送信機側におけるPNデータと同一のPNデータを発生させ、このPNデ

ータで受信データをデスクランブルすることの特徴とするものである。

(作 用)

上記の如く構成した本考案のスクランブル方式において、生成手段によりPN信号発生器から出力されたPNデータの位相をずらせた複数種類のPNデータが実質的に生成され、選択コード発生手段から発生された選択コードにともなって生成手段により実質的に生成された複数種類のPNデータ中からデータとスクランブルされるPNデータが選択されて、データとスクランブルされる。選択コードはランダムに発生させられ、かつランダム周期で変化させられる。選択コードは送信時に送出され、受信機側では受信した選択コードに基づいてランダムな周期で変化した送信機側におけるPNデータと同一のPNデータが発生させられ、このPNデータで受信データがデスクランブルされる。したがって元のデータが得られる。

しかるに、選択コードはランダムに発生させられ、かつランダムな周期で変化させられるため、

スクランブルされたデータを解読することが困難となる。またPN信号発生器の生成多項式が判読されてもデータの解読は困難である。この結果、信頼性のある秘匿性のあるデータ通信が実現できる。

(実施例)

以下、この考案を実施例により説明する。

第1図はこの考案の一実施例におけるランダム周期スクランブル方式の送信機のブロック図を示し、第2図はランダム周期スクランブル方式の受信機のブロック図である。

この考案の一実施例においては時分割多重化される情報の数を“4”（本明細書ではブロックと記す）とした場合を例示する。

111A～111Dは低次部エンコーダであって、たとえばデータ又は音声データ等をPCM符号化し、誤り訂正符号等を付加するエンコード処理を行なう。低次部エンコーダ111A～111Dから出力されるデータのフレーム（低次部フレームと記す）構成は第3図に示す如く、1フレーム

当り 2048 ビットである。2048 ビット中
2040 ビットは PCM 化された音声データおよ
び誤り訂正符号等を表わしている。なお、第 3 図
において前部 8 ビットは空ビットである。ここで
低次部フレーム構成は時分割多重化前のフレーム
構成であって、各ブロックにおいてそれぞれ 2040
ビットの期間、PN データによりスクランブルさ
れる。

A ブロック低次部フレーム構成信号発生部 110A
は低次部エンコーダ 111A、後記する SI/P0
シフトレジスタ 116 からの出力中の 4 ビットを
ラッチするラッチ回路 112A、ラッチ回路 112A
からのラッチ出力を選択信号として後記する SI/P0
シフトレジスタ 117 からの出力 (16 ビット)
中の 1 ビット出力を選択するマルチプレクサから
なる入力選択回路 113A および低次部エンコー
ダ 111A から出力される音声データと入力選択
回路 113A から出力される PN データとをスク
ランブルするための排他論理和回路 114A とか
らなっている。B ブロック低次部フレーム構成信



号発生部 1 1 0 B、Cブロック低次部フレーム構成信号発生部 1 1 0 CおよびDブロック低次部フレーム構成信号発生部 1 1 0 Dについても同様であって、Aブロック低次部フレーム構成信号発生部 1 1 0 Aと同一構成要素には同一の符号であって添字 B、C、Dによって区別してある。

1 1 8 は例えば生成多項式 $G_A(x)$ からなる M 系列 P N 信号発生器であり、第 3 図における音声データの先頭ビットから発生を開始し、M 系列 P N 信号発生器 1 1 8 のシリアル出力は S I / P O シフトレジスタ 1 1 7 に入力し、S I / P O シフトレジスタ 1 1 7 で 1 6 ビットにパラレル変換した信号を入力選択回路 1 1 3 A ~ 1 1 3 D に入力する。ここで M 系列 P N 信号発生器 1 1 8 および S I / P O シフトレジスタ 1 1 7 を動作させるクロック信号は低次部用の伝送クロック信号である。

一方、音声データとスクランブルを行なうための M 系列 P N 信号発生器 1 1 8 に対し、生成多項式 $G_B(x)$ からなる M 系列 P N 信号発生器 1 1 5 を備えており、M 系列 P N 信号発生器 1 1 5 から

のシリアル出力はS I / P Oシフトレジスタ116で16ビットにパラレル変換し、4ビットずつに区分して、区分された各4ビットのデータをラッチ回路112A～112Dに各別に供給してラッチする。以下、ラッチ回路112A～112Dへ供給される各4ビットデータを選択コードとも記す。M系列PN信号発生器115およびS I / P Oシフトレジスタ116を動作させるクロック信号の周期は、M系列PN信号発生器118およびS I / P Oシフトレジスタ117を動作させるクロック信号の周期に対して十分長く、たとえば2048倍に設定してある。

ラッチ回路112Aでラッチされた選択コードが選択信号として入力選択回路113Aに供給されている。そこで、S I / P Oシフトレジスタ117のパラレルタップの“1”つが選択コードによって実質的に定められたのと等価であって、S I / P Oシフトレジスタ117の定められたパラレルタップからは、クロック信号にともなってM系列PN信号発生器118から出力されるPN

データが順次出力されることになる。そこで入力選択回路 1 1 3 A から出力されるデータは M 系列 P N 信号発生器 1 1 8 から出力されるシリアルな P N データであって、かつ P N データの位相はラッチ回路 1 1 2 A からの選択コードによって定められることになって、選択コードにともなって M 系列 P N 信号発生器 1 1 8 から出力される P N データは実質的に変更されることになる。また、入力選択回路 1 1 3 B, 1 1 3 C, 1 1 3 D から出力されるデータは入力選択回路 1 1 3 A における場合と同様に、M 系列 P N 信号発生器 1 1 8 から出力されるシリアルな P N データであって、かつ P N データの位相は、それぞれラッチ回路 1 1 2 B, 1 1 2 C, 1 1 2 D からの選択コードによって定められることになって、選択コードにともなって M 系列 P N 信号発生器 1 1 8 から出力される P N データは実質的に変更されることになる。

さらに、M 系列 P N 信号発生器 1 1 5 を動作させるクロック信号の周期が音声データをスクランブルするための M 系列 P N 信号発生器 1 1 8 から

出力されるPNデータを実質的に変更する周期となる。M系列PN信号発生器115およびSI/POシフトレジスタ116を動作させるクロック信号の周期を上記した如くM系列PN信号発生器118およびSI/POシフトレジスタ117を動作させるクロック信号の周期の2048倍としたときは1フレームの期間毎にM系列PN信号発生器118から出力されるPNデータが実質的に変えられることになる。

入力選択回路113Aから出力されるPNデータと低次部エンコーダ111Aから出力される音声データとは排他論理和回路114Aで論理演算されて、スクランブルされることになり、排他論理和回路114Aから出力されるデータは低次部エンコーダ111Aから出力されるデータをM系列PN信号発生器118から出力されるPNデータでスクランブルされた音声データである。なお、排他論理和114B、114C、114Dからの出力についても同様である。

ここでSI/POシフトレジスタ116の出力

は16ビットであり、各4ビット毎にM系列PN信号発生器118から出力されるPNデータ中の最初のビット位置を選択するための選択コードとしてラッチ回路112A~112Dにそれぞれ割り当てられ、選択コードは時分割多重回路121に入力されて、4ビット長のインタリーブを行なうことで選択コードの時分割多重を行ないSDS(A)~SDS(D)が時分割多重回路121から出力される。時分割多重回路121から出力される選択コードSDS(A)~SDS(D)は、M系列PN信号発生器118からのPNデータが変更されるフレームに対して1フレーム先行して送出する。SI/POシフトレジスタ116から出力される選択コードをラッチ回路112A~112Dにより1フレーム遅延して、各ブロックの入力選択回路113A~113Dの選択コード端子へ入力し、16ビットのM系列PN信号発生器118から出力されたPNデータから1フレーム分遅延された選択コードにもとづき実質的に変更されたPNデータによって、低次部エンコード



1 1 1 A ~ 1 1 1 D から出力される音声データがスクランブルされることになる。

スクランブルされた A ブロックからの音声データ、同 B ブロックからの音声データ、同 C ブロックからの音声データおよび同 D ブロックからの音声データは時分割多重部 1 1 9 に入力して、4 ビット長のインタリーブ動作を行ない、音声データの時分割多重を行なう。

1 2 0 はフレーム同期パターン信号発生器である。フレーム同期パターン信号発生器 1 2 0 から出力された 1 6 ビットのフレーム同期信号 (SYNC)、時分割多動部 1 1 9 において時分割多重化された音声データおよび時分割多重化回路 1 2 1 において時分割多重化された 1 6 ビットの選択コード (SDS (A) ~ SDS (D)) はセクタ 122 に入力され、セクタ 1 2 2 においてフレーム同期信号 (SYNC)、時分割多重化された選択コード (SDS (A) ~ SDS (D)) および時分割多重化された 8 1 6 0 ビットの音声データの順序で選択して出力する。したがって、セクタ

122から出力される時分割多重化信号のフレーム構成は第4図に示す如く、16ビットのフレーム同期信号(SYNC)、16ビットの選択コード(SDS(A)~SDS(D))、8160ビットの音声データ(誤り訂正符号等を含む)からなる8192ビット構成となる。ここで第4図は低次部フレーム構成を4ブロック分まとめて時分割多重した高次部のフレーム構成を示している。第4図および上記した説明から明らかな如く、先頭に16ビットのフレーム同期信号を、次にスクランブルのためのM系列PN信号発生器118から出力されるPNデータ中の先頭ビットを選択する選択コードを各ブロック当り4ビット単位で割りつけて16ビットとし、最後に誤り訂正符号等を含む音声データを各ブロックでスクランブルした後、時分割多重して8160ビットとし、全体で8192ビット構成である。ここで選択コードおよび音声データは受信機における時分割多重分離動作を簡易化するためと、バーストエラーをランダム化するために時分割多重時において4ビッ



ト長のインタリーブを行なっている。

セクタ 1 2 2 から出力される時分割多重化信号 (MD) は 4 相 D P S K 変調器 1 2 3 に入力して時分割多重化信号 (MD) により 4 相 D P S K 変調し、4 相 D P S K 変調した信号 (RF) をケーブルにより伝送する。

受信機はケーブルによって伝送されてきた 4 相 D P S K 変調信号 (RF) を受けた復調器 1 3 1 で、第 4 図に示した時分割多重された高次部フレーム信号、すなわちビットストリーム信号に復調する。次にビットストリーム信号をフレーム同期回路 1 3 2 に供給して、ビットストリーム信号からフレーム同期動作を行ないフレームパルス (FPL) を出力させる。このフレームパルス (FPL) は時系列的にデジタル信号処理をして音声データを復号する際の同期信号となるものである。

フレーム同期動作がなされた後、ビットストリーム信号から、A, B, C また D ブロック信号中から選択された 1 ブロック信号のみを、ブロック選択分離回路 1 3 3 で分離し、元の時分割多重化

前の伝送速度に戻す伸長動作を行なう。ブロック
選択分離回路 1 3 3 により分離され、元の伝送速
度に戻されたブロック信号を P N データ選択コ
ード検出回路 1 3 4 に供給して、ブロック信号の選
択コード (4 ビット) を検出し、入力選択回路
1 3 7 のコード選択端子へ入力する。

一方、受信機側においても送信機側と同じ生成
多項式 $G_A(x)$ からなる M 系列 P N 信号発生器
1 3 5 を備えており、M 系列 P N 信号発生器 135
からの P N データを S I / P O シフトレジスタ
1 3 6 に入力して、シリアルデータからパラレル
データに変換した P N データ (1 6 ビット) を入
力選択回路 1 3 7 へ入力する。したがって P N デ
ータ選択コード検出回路 1 3 4、M 系列 P N 信号
発生器 1 3 5、S I / P O シフトレジスタ 1 3 6
および入力選択回路 1 3 7 の関係は送信機側にお
けるラッチ回路 1 1 2 A (1 1 2 A ~ 1 1 2 D)、
M 系列 P N 信号発生器 1 1 8、S I / P O シフト
レジスタ 1 1 7 および入力選択回路 1 1 3 A
(1 1 3 B ~ 1 1 3 D) との関係と同一であって、

P Nデータ選択コード検出回路 1 3 7 から出力される選択コードに基づき P Nデータが入力選択回路 1 3 7 により選択される。入力選択回路 1 3 7 から出力される P Nデータはブロック選択されたブロックにおける送信機側の入力選択回路から出力される P Nデータと、その変更される周期も含めて、同一である。

入力選択回路 1 3 7 から出力された P Nデータおよびブロック選択された音声データが排他論理和回路 1 3 8 に入力されて、排他論理和回路 138 でデスクランブルする。デスクランブルされた音声データは低次部デコーダ 1 3 9 に入力されて、低次部デコーダ 1 3 9 により誤り訂正動作、音声データの補間動作等の復号動作を行なう。低次部デコーダ 1 3 9 によって復号された音声データは D/A 変換器 1 4 0 に入力されて、元のアナログ信号に変換し、スピーカ 1 4 1 に入力して音声に再生する。

(考案の効果)

以上説明した如くこの考案によれば、P N信号

発生器から出力されるPNデータの位相をずらせた複数種類のPNデータを実質的に生成し、生成された複数種類のPNデータ中からデータとスクランブルするためのPNデータを、ランダムに発生させかつランダムな周期で変化する選択コードによって選択し、選択されたPNデータとデータとがスクランブルされるため、スクランブルされたデータを解読することは困難となる。またPN信号発生器の生成多項式が判明されてもデータとスクランブルされるPNデータが変化させられているためデータの解読は困難となる。この結果、信頼性ある秘置データ通信が実現できる。

4. 図面の簡単な説明

第1図は本考案の一実施例における送信機側のブロック図。

第2図は第1図に示す送信機からのデータを受信する受信機側のブロック図。

第3図は本考案の一実施例における低次部エンコーダから出力される低次部フレーム構成を示す図。

第4図は本考案の一実施例における時分割多重化後の高次部フレーム構成を示す図。

110A～110D…A～Dブロック低次部フレーム構成信号発生部、111A～111D…低次部エンコーダ、112A～112D…ラッチ回路、113A～113D…入力選択回路、114A～114D…排他論理和回路、115および118…M系列PN信号発生器、116および117…SI/POシフトレジスタ、119…時分割多重部、120…フレーム同期パターン発生器、121…時分割多重回路、122…セレクト。

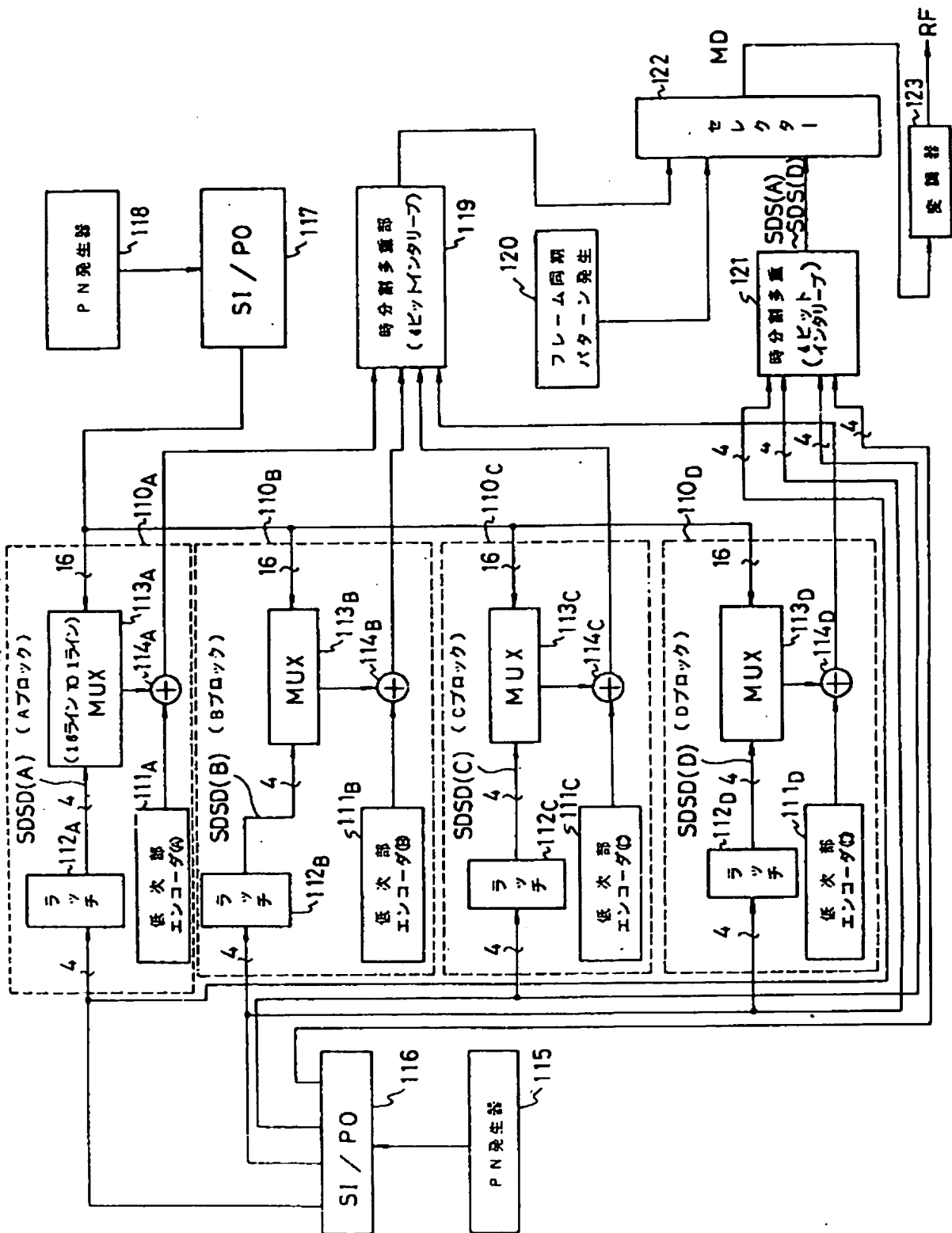
実用新案登録出願人

株式会社ケンウッド

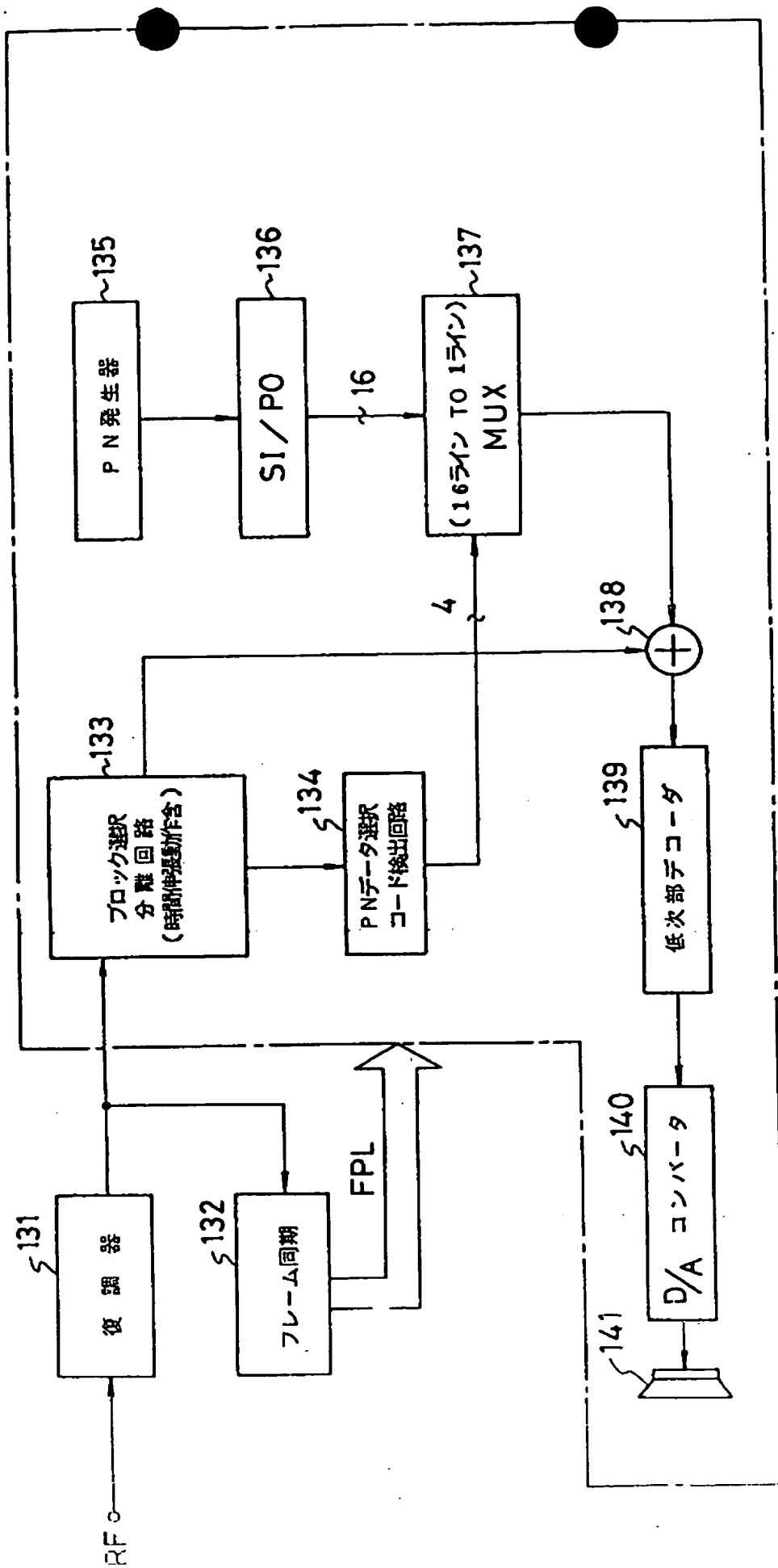
代理人 弁理士 砂 子 信 夫

(ほか1名)

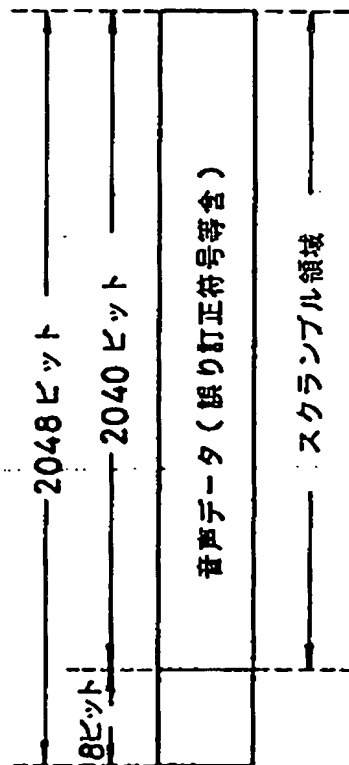
第 1 図



第 2 図



第 3 図



第 4 図

